

Contenido

PARTE 1 Familias lógicas	1
1 Puertas lógicas TTL.....	3
1.1 Introducción	3
1.2 Estructura de una puerta TTL NAND de dos entradas	4
1.3 Cargabilidad de salida de una puerta inversora TTL	7
1.3.1 Análisis mediante PSpice.....	9
1.4 Características de transferencia	13
1.4.1 Puerta inversora TTL estándar	13
1.4.2 Puerta inversora (CI 7404).....	16
1.4.3 Puerta NAND (CI 7400)	18
1.5 Entradas flotantes en puertas TTL	19
1.5.1 ¿Qué hacer con las entradas no utilizadas?	20
1.6 Caracterización temporal.....	21
1.6.1 Parámetros característicos	21
1.6.2 Oscilador en anillo	25
1.7 Componentes	26
1.8 Verificación experimental.....	27
1.8.1 Obtención de las tablas de verdad.....	27
1.8.1.1 Función lógica NOT (inversión).....	27
1.8.1.2 Función lógica NAND	28
1.8.1.3 Función lógica NOR	29
1.8.2 Cargabilidad de salida	29
1.8.3 Características de transferencia de un inversor	31
1.8.3.1 Característica de transferencia $v_s(v_e)$	31
1.8.3.2 Característica de transferencia $i_e(v_e)$	32
1.8.4 Entradas flotantes en una puerta NAND (CI 74×00).....	32
1.8.5 Caracterización temporal: oscilador en anillo.....	33
1.9 Ejercicios y cuestiones de refuerzo	34
2 Puertas lógicas CMOS	35
2.1 Introducción	35
2.2 Estructura de una puerta CMOS NAND de dos entradas.....	38
2.3 Cargabilidad de salida de una puerta CMOS NAND	39
2.3.1 Análisis mediante PSpice	42
2.3.1.1 Caso de estudio 1	44

2.3.1.2	Caso de estudio 2	46
2.3.1.3	Caso de estudio 3	48
2.3.1.4	Cargabilidad del CI 4011B.....	50
2.4	Características de transferencia	52
2.5	Entradas flotantes en puertas CMOS	57
2.6	Componentes	58
2.7	Verificación experimental.....	58
2.7.1	Cargabilidad de salida	58
2.7.2	Características de transferencia de un inversor CMOS	60
2.7.2.1	Característica de transferencia $v_s(v_e)$	60
2.7.2.2	Característica de transferencia $i_e(v_e)$	61
2.7.3	Entradas flotantes en una puerta NAND (CI 4011B).....	61
2.8	Ejercicios y cuestiones de refuerzo	62
PARTE 2 Lógica combinacional		63
3	Decodificador binario básico de 2 a 4	65
3.1	Introducción	65
3.2	Decodificador binario básico de 2 a 4.....	67
3.2.1	Decodificación con salidas activas a nivel alto.....	67
3.2.2	Decodificación con salidas activas a nivel bajo.....	68
3.3	Simulación	70
3.3.1	Decodificación con salidas activas a nivel alto.....	71
3.3.2	Decodificación con salidas activas a nivel bajo.....	72
3.4	Componentes	73
3.5	Verificación experimental.....	74
3.5.1	Decodificación con salidas activas a nivel alto.....	74
3.5.2	Decodificación con salidas activas a nivel bajo.....	75
3.6	Ejercicios y cuestiones de refuerzo	75
4	Síntesis óptima de circuitos combinacionales	77
4.1	Introducción	77
4.2	Síntesis en forma de suma de productos (AND-OR).....	79
4.3	Síntesis en forma de producto de sumas (OR-AND).....	82
4.4	Síntesis de dos niveles NAND-NAND	84
4.5	Síntesis de dos niveles NOR-NOR.....	84
4.6	Síntesis multinivel con puertas NAND de dos entradas	86
4.7	Análisis transitorio: fenómenos aleatorios	90
4.8	Simulación	93
4.8.1	Análisis en régimen permanente.....	93
4.8.2	Análisis transitorio.....	94
4.9	Componentes	97
4.10	Verificación experimental.....	97
4.11	Ejercicios y cuestiones de refuerzo	98
5	Sumador completo, generador de paridad y conversores de código.....	99
5.1	Introducción	99

5.2	Sumador completo de un bit.....	100
5.3	Circuito generador de paridad	104
5.4	Circuitos conversores de código.....	106
5.5	Simulación	110
5.5.1	Sumador completo de un bit	110
5.5.2	Circuito generador de paridad.....	111
5.5.3	Conversores de código	113
5.6	Componentes	115
5.7	Verificación experimental.....	115
5.7.1	Sumador completo de un bit	115
5.7.2	Generador de paridad	115
5.7.3	Conversores de código	116
5.8	Ejercicios y cuestiones de refuerzo	116
6	Decodificador binario de 2 a 4 con control de polaridad	117
6.1	Introducción	117
6.2	Decodificador binario básico de 2 a 4 con control de polaridad.....	118
6.2.1	Tres síntesis distintas con puertas NAND de dos entradas	118
6.2.2	Síntesis con puertas NAND de cualquier número de entradas	121
6.2.3	Síntesis basada en puertas XOR.....	124
6.3	Simulación	125
6.4	Componentes	126
6.5	Verificación experimental.....	127
6.6	Ejercicios y cuestiones de refuerzo	127
7	Diseño lógico con el multiplexor 74x151	129
7.1	Introducción	129
7.2	Aplicaciones destacadas del multiplexor	131
7.2.1	El multiplexor en los microcontroladores.....	131
7.2.2	El multiplexor en la Red Telefónica Conmutada	132
7.3	Diseño de un detector BCD de números primos	135
7.4	Simulación	138
7.5	Componentes	138
7.6	Verificación experimental.....	139
7.7	Ejercicios y cuestiones de refuerzo	139
8	Unidad aritmética de cuatro bits con el 74x283	141
8.1	Introducción	141
8.2	Diseño de una unidad aritmética de cuatro bits en C ₂	142
8.2.1	El sumador 74x283.....	142
8.2.2	La puerta XOR como solución para implementar la resta.....	143
8.2.3	El detector de desbordamiento	145
8.2.4	Unidad aritmética completa.....	146
8.3	Simulación	147
8.3.1	Módulo sumador	147
8.3.2	Módulo sumador/restador	149
8.3.3	Unidad aritmética con detector de desbordamiento	151

8.4 Componentes	153
8.5 Verificación experimental.....	153
8.5.1 Módulo sumador	153
8.5.2 Módulo sumador/restador	153
8.5.3 Unidad aritmética con detector de desbordamiento.....	154
8.6 Ejercicios y cuestiones de refuerzo	154
PARTE 3 Lógica secuencial.....	155
9 Generación de señal de reloj con circuitos estables	159
9.1 Introducción	159
9.2 Diseño de un multivibrador estable con puertas lógicas.....	160
9.3 Diseño de un multivibrador estable con el 555	162
9.4 Simulación	165
9.5 Componentes	167
9.6 Verificación experimental.....	167
9.7 Ejercicios y cuestiones de refuerzo	168
10 Contador módulo 4 reversible	169
10.1 Introducción	169
10.2 Diseño de un contador módulo 4 reversible	172
10.3 Simulación	176
10.3.1 Implementación del diseño con el CI 7473	177
10.3.1.1 Entrada de control S constante	178
10.3.1.2 Cambio de nivel lógico de S con señal de reloj en estado bajo.....	179
10.3.1.3 Cambio de nivel lógico de S con señal de reloj en estado alto.....	180
10.3.1.4 Conclusiones.....	183
10.3.2 Implementación del diseño con el CI 74LS73A.....	184
10.4 Componentes	185
10.5 Verificación experimental.....	186
10.6 Ejercicios y cuestiones de refuerzo	187
11 Contador módulo 8 con el 74×90	189
11.1 Introducción	189
11.2 Diseño de un contador módulo 8 con el 74×90	194
11.3 Simulación	197
11.4 Componentes	199
11.5 Verificación experimental.....	200
11.6 Ejercicios y cuestiones de refuerzo	200
12 Contadores síncronos con el 74×163.....	201
12.1 Introducción	201
12.2 Diseño de contadores con el 74×163	203
12.2.1 Contador en modo de carrera libre (módulo 16)	203
12.2.2 Contador módulo 13 con la secuencia 0,1,...,12	204
12.2.3 Contador módulo 12 con la secuencia 3,4,...,14	204

12.2.4	Contador módulo 146 con la secuencia 0,1,...,145	205
12.3	Decodificación de estados.....	206
12.4	Simulación.....	207
12.4.1	Contador en modo de carrera libre (módulo 16).....	207
12.4.2	Contador módulo 13 con la secuencia 0,1,...,12	208
12.4.3	Contador módulo 12 con la secuencia 3,4,...,14	209
12.4.4	Contador módulo 146 con la secuencia 0,1,...,145	209
12.4.5	Decodificación de estados con el 74×42.....	211
12.5	Componentes	212
12.6	Verificación experimental.....	213
12.7	Ejercicios y cuestiones de refuerzo	213
13	Segundero con contadores modulares.....	215
13.1	Introducción.....	215
13.2	Diferentes diseños modulares de un segundero	216
13.2.1	Combinación de dos 74×163	216
13.2.2	Combinación de un 74×162 y un 74×163	217
13.2.3	Combinación de un 74×162 y un 74×161	218
13.3	Simulación.....	219
13.4	Componentes	223
13.5	Verificación experimental.....	224
13.5.1	Contador módulo 10 (unidades)	224
13.5.2	Contador módulo 6 (decenas)	224
13.5.3	Segundero completo	225
13.6	Ejercicios y cuestiones de refuerzo	226
14	Registro de desplazamiento con el 74×74	229
14.1	Introducción.....	229
14.2	Diseño de un registro de desplazamiento de cuatro bits	231
14.3	Simulación.....	231
14.3.1	Entrada serie y salida en paralelo.....	231
14.3.2	Entrada en paralelo y salida en paralelo.....	232
14.4	Componentes	233
14.5	Verificación experimental.....	234
14.6	Ejercicios y cuestiones de refuerzo	235
15	Generador de números pseudoaleatorios	237
15.1	Introducción.....	237
15.2	Generador pseudoaleatorio de tres bits	238
15.3	Generador pseudoaleatorio de cuatro bits.....	240
15.4	Simulación.....	241
15.4.1	Generador pseudoaleatorio de tres bits.....	242
15.4.2	Generador pseudoaleatorio de cuatro bits.....	242
15.5	Componentes	243
15.6	Verificación experimental.....	244
15.6.1	Generador pseudoaleatorio de tres bits.....	244
15.6.2	Generador pseudoaleatorio de cuatro bits.....	244

15.7 Ejercicios y cuestiones de refuerzo	245
16 Diseños con el registro de desplazamiento 74×194	247
16.1 Introducción	247
16.2 Diseños que emplean el 74×194	250
16.2.1 Carga e inhibición	250
16.2.2 El contador en anillo	251
16.2.3 El contador Johnson	252
16.2.4 Comunicación serie	253
16.3 Simulación	254
16.3.1 Carga e inhibición	254
16.3.2 Contador en anillo	255
16.3.2.1 Comunicación serie	255
16.3.3 Contador Johnson	257
16.3.3.1 Comunicación serie	258
16.4 Componentes	259
16.5 Verificación experimental	259
16.5.1 Carga e inhibición	259
16.5.2 Contador en anillo y comunicación serie	260
16.5.3 Contador Johnson y comunicación serie	260
16.6 Ejercicios y cuestiones de refuerzo	261
17 Autómatas de estados finitos de Mealy y de Moore	263
17.1 Introducción	263
17.2 Diseño según los modelos de Mealy y de Moore	267
17.2.1 Especificaciones	267
17.2.2 Diseño según el modelo de Mealy	267
17.2.3 Diseño según el modelo de Moore	269
17.3 Simulación	273
17.3.1 Autómata de estados finitos de Mealy	273
17.3.2 Autómata de estados finitos de Moore	274
17.4 Componentes	276
17.5 Verificación experimental	277
17.6 Ejercicios y cuestiones de refuerzo	278
18 Biestables asíncronos	279
18.1 Introducción	279
18.2 Tres tipos de biestables asíncronos	280
18.2.1 Biestable asíncrono sin entradas	280
18.2.2 Biestable asíncrono S-R	281
18.2.3 Biestable asíncrono \bar{S} - \bar{R}	282
18.3 Simulación	283
18.3.1 Biestable asíncrono S-R	284
18.3.2 Biestable asíncrono \bar{S} - \bar{R}	286
18.4 Componentes	288
18.5 Verificación experimental	288

18.5.1	Biestable asíncrono sin entradas	288
18.5.2	Biestable asíncrono S - R	289
18.5.3	Biestable asíncrono \bar{S} - \bar{R}	289
18.6	Ejercicios y cuestiones de refuerzo	290
19	Divisor de frecuencia asíncrono	291
19.1	Introducción	291
19.2	Diseño de un divisor de frecuencia por dos asíncrono	292
19.2.1	Especificaciones	292
19.2.2	Diseño según el modelo de Moore	293
19.3	Simulación	301
19.3.1	Diseño con biestables asíncronos S - R	301
19.3.2	Diseño basado en realimentación directa (caso 1)	302
19.3.3	Diseño basado en realimentación directa (caso 2)	303
19.4	Componentes	304
19.5	Verificación experimental.....	305
19.5.1	Diseño con biestables asíncronos S - R	305
19.5.2	Diseño basado en realimentación directa (caso 1)	305
19.5.3	Diseño basado en realimentación directa (caso 2)	305
19.6	Ejercicios y cuestiones de refuerzo	306
	Apéndices	307
A	El laboratorio docente	309
A.1	Introducción.....	309
A.2	La placa de prototipos	309
A.3	La fuente de alimentación	311
A.3.1	Prestaciones y manejo	312
A.3.2	Cableado de la fuente con una carga genérica	313
A.3.3	Alimentación sobre la placa de prototipos	314
A.3.4	Desacoplo de la fuente de alimentación	315
A.4	El polímetro	319
A.5	El osciloscopio	320
A.5.1	El osciloscopio HM303-6 de HAMEG Instruments	320
A.5.2	Sondas de medida para osciloscopio	323
A.6	Notas sobre los montajes experimentales.....	324
B	Riesgos eléctricos	327
B.1	Introducción.....	327
B.2	La conexión a tierra.....	327
B.3	Severidad de una electrocución	333
C	Identificación de pines en circuitos integrados	335
C.1	Numeración de pines en un CI.....	335
C.2	Identificación de pines en CI de puertas lógicas	336
C.3	Identificación de pines en otros dispositivos integrados	337

D	Identificación de terminales en componentes optoelectrónicos.....	341
D.1	Terminales de un led	341
D.2	Terminales de un visualizador de siete segmentos	341
E	Identificación de terminales en potenciómetros y condensadores.....	343
E.1	Terminales de un potenciómetro rotatorio.....	343
E.2	Terminales de un condensador electrolítico.....	344
F	Valores estándar de resistencias y condensadores.....	345
F.1	Código de colores para resistencias	345
F.2	Valores estándar de resistencias	346
F.3	Valores estándar de condensadores.....	347
G	Notas de simulación.....	349
G.1	Introducción	349
G.2	Guía rápida de PSpice.....	349
G.2.1	Creación de un proyecto	350
G.2.2	Dibujo de un circuito en la ventana de esquemáticos	353
G.2.3	Perfil de simulación y ejecución	358
G.3	El editor de modelos de PSpice.....	362
G.4	Añadir un bus a un circuito	364
G.5	Conectar un estímulo a un bus	364
G.6	Inicialización de biestables	367
G.7	Ubicación de componentes en bibliotecas.....	368
G.7.1	Listado de todos los componentes utilizados.....	369
H	Notas sobre el álgebra de conmutación.....	373
H.1	Introducción	373
H.2	Postulados y teoremas del álgebra de conmutación.....	373
H.3	Funciones lógicas XOR y XNOR	374
I	Bibliografía.....	377
I.1	Libros y manuales	377
I.2	Artículos de investigación	381
I.3	Hojas de características técnicas	382
I.4	Enlaces web de interés	384